

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-031266

(43)Date of publication of application : 01.02.1990

(51)Int.Cl.

G06F 13/38

(21)Application number : 63-182107

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 21.07.1988

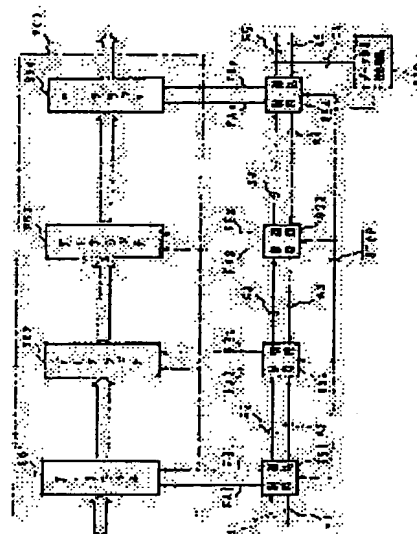
(72)Inventor : KOMORI NOBUFUMI
TAKADA HIDEHIRO
TAMURA TOSHIYUKI
ASAI FUMIYASU
YAMAZAKI TETSUO
SHIMA KENJI

(54) DATA TRANSFER DEVICE AND PIPELINE PROCESSOR USING THE TRANSFER DEVICE

(57)Abstract:

PURPOSE: To reduce the current consumption and the calorific value by fixing the transfer gate prepared at the feedback side of each static data latch circuit into a nonactive state as long as the data are smoothly transferred.

CONSTITUTION: When a data retention detecting circuit 870 detects the retention of data, the data transfer control circuits 851-854 permit the charging/discharging of the transfer gates prepared at the feedback sides of the static parallel data latch circuits 861-864 of each stage. While said charging/discharging is inhibited and an OFF state is always kept in the case no retention of data is detected. Thus it is possible to reduce the current consumption and the calorific value and also to apply this data transfer system to a pipeline processor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-31266

⑬ Int.Cl.⁸
G 06 F 13/38

識別記号 庁内整理番号
3 1 0 C 8840-5B

⑭ 公開 平成2年(1990)2月1日

審査請求 未請求 請求項の数 2 (全14頁)

⑮ 発明の名称 データ転送装置及びそれを使用したパイプライン処理装置

⑯ 特 願 昭63-182107

⑰ 出 願 昭63(1988)7月21日

⑱ 発 明 者 小 守 伸 史 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 高 田 英 裕 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 発 明 者 田 村 俊 之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉑ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉒ 代 理 人 弁理士 大岩 増雄 外2名
最終頁に続く

明 細 書

1. 発明の名称 データ転送装置及びそれを使用したパイプライン処理装置

2. 特許請求の範囲

(1) 各段を構成するスタティック型並列データラッチ回路を複数縦列接続してなるデータ転送路と、

前記データ転送路の各段に対応して設けられ、データの転送方向に沿う次段に有意なデータが存在しない場合にはデータを連続的に転送し、次段に有意なデータが先行して存在する場合にはデータの転送を禁止すべくデータラッチ信号を制御するデータ転送制御信号を出力するデータ転送制御回路と、

前記データ転送制御信号の状態に基づいて、データの停滯を検出するデータ停滯検出回路とを備え、

前記データ転送制御回路は、前記データ停滯検出回路がデータの停滯を検出している場合は前記ラッチ回路に対してデータラッチの

制御を行い、前記データ停滯検出回路がデータの停滯を検出していない場合は前記ラッチ回路に対するデータラッチの制御を行わないようになしてあることを特徴とするデータ転送装置。

(2) 各段を構成するスタティック型並列データラッチ回路を複数縦列接続してなるデータ転送路と、

前記データラッチ回路それぞれの間に配され、データ転送方向に沿う前段のデータラッチ回路から入力されたデータに対して所定の処理を施した後にデータ転送方向に沿う次段のデータラッチ回路へ出力する論理回路と、

前記データ転送路の各段に対応して設けられ、データの転送方向に沿う次段に有意なデータが存在しない場合にはデータを連続的に転送し、次段に有意なデータが先行して存在する場合にはデータの転送を禁止すべくデータラッチ信号を制御するデータ転送制御信号を出力するデータ転送制御回路と、

前記データ転送制御信号の状態に基づいて、データの停滯を検出するデータ停滯検出回路とを備え、

前記データ転送制御回路は、前記データ停滯検出回路がデータの停滯を検出している場合は前記ラッチ回路に対してデータラッチの制御を行い、前記データ停滯検出回路がデータの停滯を検出していない場合は前記ラッチ回路に対するデータラッチの制御を行わないようにしてあることを特徴とするパイプライン処理装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデータ転送装置、より具体的にはハンドシェイク方式により非同期的に並列データを転送するデータ転送装置及びこれを使用したパイプライン処理装置に関し、更に詳述すれば、データ保持のためにスタティックラッチを使用したデータ転送装置及びこれを使用したパイプライン処理装置に関する。

821への入力データが確定した状態でこれを制御するハンドシェイク転送制御回路811へSend信号(データ転送要求信号)S1のバルス"1"を与えると、並列データラッチ821にデータがラッチされ、組合わせ論理回路831へ出力される。そして、組合わせ論理回路831によりデータが処理されて並列データラッチ822への入力データが確定し、更にハンドシェイク転送制御回路812からハンドシェイク転送制御回路811へAck信号A2が与えられると、ハンドシェイク転送制御回路811はハンドシェイク転送制御回路812へSend信号S2のバルス"1"を与える。以下同様にして、Ack信号の返送に応じてSend信号のバルスがハンドシェイク転送制御回路811〜813を順次S1, S2, S3, S4として伝播されてゆく。これに伴って、並列データラッチ821, 822, 823の開閉が順次的に制御されて入力データも順次各並列データラッチ821, 822, 823間を転送される。

ここで、入力データは演算の種類を示すオペレーションコード部と演算の対象であるデータ部と

〔従来の技術〕

本願出願人は先に特開昭62-36551号においてデータ転送制御回路を提案している。この発明について先ず、第9図乃至第11図を参照して説明する。

第9図はパイプライン処理装置の概略構成を示すブロック図であらう、ここでは3ステージの標準例である。

このパイプライン処理装置は、直列に接続されたハンドシェイク転送制御回路811, 812, 813 それぞれの間に組合わせ論理回路831, 832を介在させて直列に接続された並列データラッチ821, 822, 823等にて構成されている。

なお、組合わせ論理回路831, 832はそれぞれデコード部とロジック部とにて構成されている。

このようパイプライン処理装置の動作は以下の如くである。

ハンドシェイク転送制御回路811がデータの受入れ可能な状態であると、ハンドシェイク転送制御回路811はアクノリッジ信号(以下Ack信号という)A1を出力する。そして、並列データラッチ

の対にて構成されているとする。入力データは、オペレーションコード部が組合わせ論理回路831(832)のデコード部でデコードされて、この結果に従ってデータ部に対する処理内容、たとえば加算あるいは減算等が決定され、ロジック部にて処理される。

このようにして、入力データをパイプライン処理装置を通過させることにより、全体として種々の複雑な処理を実行することが可能である。

但し、パイプライン処理の各段において、次段が先行するデータにより占有されている場合、換言すればデータが停滯している場合、後続のデータはその手前の段で停止される。たとえば並列データラッチ822と823との間のステージに先行データが滞っている場合、後続のデータを並列データラッチ822から823へ転送するためにハンドシェイク転送制御回路813に与えられているSend信号S3が"1"に転じても、ハンドシェイク転送制御回路813からの応答信号A3がハンドシェイク転送制御回路812へ返送されないため、ハンドシェイ

ク転送制御回路812から同813に与えられるSend信号S3は“1”を保持した状態で維持される。このため、以降は後続のデータが順次停止する。

このようにデータ転送が停止する状態に陥った場合においても、それぞれの並列データラッチ821、822、823において確實にデータを保持する必要から、各並列データラッチ821、822、823の1ビット分は第10図に参照符号11(12)にて示す如きスタティックラッチにて構成されている。但し、第10図においては、データ処理を実行する組合わせ論理回路は省略した単純なデータ転送装置を示している。

第10図において、参照符号11及び12はそれぞれ40ビット幅のデータラッチ回路(第9図の821、822、823に相当)を示す論理回路図であり、それぞれ1ビット分のラッチ回路110(120)が40セット並列配設されている。このラッチ回路110(120)はそれぞれインバータバッファ111、112、113(121、122、123)及びトランスファゲート114、115(124、125)等にて構成されている。

フリップ15(17)のリセット端子Rには次段の制御回路からのアクノリッジ信号 $\overline{R2}$ ($\overline{R3}$)が与えられている。なおこのアクノリッジ信号 $\overline{R2}$ ($\overline{R3}$)は4入力NANDゲート131(141)の一人力ともなっている。

第1のR-Sフリップフロップ15(17)の出力端子Qからの信号はインバータバッファ134(144)を介してSend信号パルスS2(S3)の反転信号 $\overline{S2}$ ($\overline{S3}$)としてデータラッチ回路11(12)のトランスファゲート114(124)に与えられている他、次段の制御回路14の4入力NANDゲート141の一人力にも与えられている。また第2のR-Sフリップフロップ16(18)の反転出力端子 \overline{Q} からの信号はインバータバッファ135(145)を介してデータラッチ回路11(12)のトランスファゲート115(125)に与えられている他、自身の4入力NANDゲート131(141)の一人力となっている。

また前段からのSend信号パルスS1(S2)は第2のR-Sフリップフロップ16(18)のリセット端子Rにも与えられており、更に4入力NANDゲート131(141)の出力は第2のR-Sフリップフロップ16(18)のセ

ット端子Sにも与えられている。そして、第2のR-Sフリップフロップ16(18)の反転出力端子 \overline{Q} からの信号は一人力としてリセット信号RESETが与えられているNANDゲート138(148)の他入力となっている。このNANDゲート138(148)の出力はインバータバッファ139(149)を介して前段へのアクノリッジ信号 $\overline{R1}$ ($\overline{R2}$)とされると共に自身の4入力NANDゲート131(141)の最後の一人力となっている。

なお第1のR-Sフリップフロップ15(17)は2入力のNANDゲート132及び133(142及び143)にて、また第2のR-Sフリップフロップ16(18)は2入力のNANDゲート136及び137(146及び147)にて構成されている。

より具体的には、制御回路13、14の4入力NANDゲート131(141)の一人力には前段からのSend信号(データ転送要求信号)のパルスS1(S2)が与えられており、この4入力NANDゲート131(141)の出力は第1のR-Sフリップフロップ15(17)のセット端子Sに接続されている。また第1のR-Sフリップ

フロップ15(17)のリセット端子Rには次段の制御回路からのアクノリッジ信号 $\overline{R2}$ ($\overline{R3}$)が与えられている。なおこのアクノリッジ信号 $\overline{R2}$ ($\overline{R3}$)は4入力NANDゲート131(141)の一人力ともなっている。

第1のR-Sフリップフロップ15(17)の出力端子Qからの信号はインバータバッファ134(144)を介してSend信号パルスS2(S3)の反転信号 $\overline{S2}$ ($\overline{S3}$)としてデータラッチ回路11(12)のトランスファゲート114(124)に与えられている他、次段の制御回路14の4入力NANDゲート141の一人力にも与えられている。また第2のR-Sフリップフロップ16(18)の反転出力端子 \overline{Q} からの信号はインバータバッファ135(145)を介してデータラッチ回路11(12)のトランスファゲート115(125)に与えられている他、自身の4入力NANDゲート131(141)の一人力となっている。

また前段からのSend信号パルスS1(S2)は第2のR-Sフリップフロップ16(18)のリセット端子Rにも与えられており、更に4入力NANDゲート131(141)の出力は第2のR-Sフリップフロップ16(18)のセ

ット端子Sにも与えられている。そして、第2のR-Sフリップフロップ16(18)の反転出力端子 \overline{Q} からの信号は一人力としてリセット信号RESETが与えられているNANDゲート138(148)の他入力となっている。このNANDゲート138(148)の出力はインバータバッファ139(149)を介して前段へのアクノリッジ信号 $\overline{R1}$ ($\overline{R2}$)とされると共に自身の4入力NANDゲート131(141)の最後の一人力となっている。

なお、実際の構成としてはこのようなデータラッチ回路11(12)と制御回路13(14)との組合わせが複数カスケード接続されている。

上述の如き構成の従来のデータ転送回路の動作は以下の如くである。

初期状態において、リセット信号RESETが“1”に転じると全信号線が直接初期化される。

Send信号パルスS1がデータ転送制御回路13に入力されると、データ転送制御回路13はNANDゲート132及び133からなるフリップフロップ15をセット状態とする。これにより、Send信号S2は“1”に転じ、またその反転出力 $\overline{S2}$ は“0”に転じるので、

データ転送制御回路13の制御対象であるデータラッチ回路11をラッチ状態（入力変化禁止状態）としてラッチ出力が確定される。またこれと同時に、次段のデータ転送制御回路14に対するSeed信号S2がアクティブ状態“1”に転じるので、次段ではその4入力NANDゲート141の4入力全てが“1”に転じる。これにより、NANDゲート142及び143にて構成されるR-Sフリップフロップ17とNANDゲート146及び147にて構成されるR-Sフリップフロップ18の両方がセットされ、アクノリッジ信号R2がアクティブ状態“0”に転じる。

アクノリッジ信号R2のアクティブ状態への変化によりデータ転送制御回路13のフリップフロップ15がリセットされ、Seed信号S2がノンアクティブ状態“0”に転じる。

この時点において、Seed信号S1が依然としてアクティブ状態“1”であってもフリップフロップ16は未だセット状態を保持しているため、インバータ139の出力は“0”であり、4入力NANDゲート131の全入力が“1”とはなっていないので、再度フリッ

プフロップ15がセットされることはなく、従って余分なSeed信号S2が発生されることはない。

Seed信号S1がこの後一旦ノンアクティブ状態“0”に転じると、その時点でフリップフロップ16がリセットされ、インバータ139の出力は“1”に転じる。従ってこの時点で、またはその後Seed信号S1が再度アクティブ状態に転じれば、4入力NANDゲート131の全入力が“1”に転じてフリップフロップ15及び16がセットされ、新たなSeed信号パルスS2が発生される。

上述の一連の動作を第11図のタイミングチャートに示す。

第11図によれば、時刻uにおいて、4入力NANDゲート131の入力S1, R1, R2, R3の内、R1とR2とは“1”に復帰しているが、R3が“0”を維持しているため、新たなR1パルスの発生が抑制されていることが理解される。

信号R1は、Seed信号S1のノンアクティブ状態“0”への変化に呼応して“1”に復帰し、従って時刻vにおいてワード2に対応するSeed信号パルスS1が

入力された時点では4入力NANDゲート131の全入力S1, R1, R2, R3が“1”になっている。従って、ワード2に対する正常なR2パルス信号が発生される。

以上の説明から明らかなように、第10図において、ハンドシェイク転送制御回路13はSeed信号S1を受信し、次ステージへのSeed信号S2を発生した時点においてトランスファゲート114をオフすると共にトランスファゲート115をオンすることによりラッチ回路110のノードN1に入力データの値を保持する。Seed信号S2が“1”を維持している間は、上述の状態が維持されるため、インバータ112及び113により構成されるラッチ回路が動作してノードN1の信号レベルがスタティックに保持される。

一方、次ステージからのAck信号R2を受信すると、これに呼応してSeed信号S1のレベルが“0”に転じるので、トランスファゲート114がオンすると共にトランスファゲート115はオフする。これにより、データラッチ回路11は入力側から出力側への経路が透過し（トランスペアレント）状態と

なり、後続するデータの受入れが可能になる。

（発明が解決しようとする課題）

ところで、上述のような従来のデータ転送装置においては、一つのデータが通過する都度、トランスファゲート114(124)及び115(125)のゲート電極を充放電する必要がある。このため、転送すべきデータのビット幅が大であればある程、消費電力が大となり、またこれに伴って発熱量も増大する等の問題が生じる。

本発明はこのような事情に鑑みてなされたものであり、並列データを隣接するステージ間でハンドシェイク転送する際の消費電力を削減し得るデータ転送装置及びこれを使用するバイブライン処理装置の提供を目的とする。

（課題を解決するための手段）

本発明のデータ転送装置及びバイブライン処理装置は、データ転送路上におけるデータの停滯を検出する手段と、この手段による検出結果に応じて各ステージのスタティック型データラッチ回路のフィードバック側のトランスファゲートのゲー

ト電極の充放電を許可又は禁止する手段とを備えている。

より具体的には、スタティック型データラッチによりデータの保持を行う必要が生じるのは、データ転送路の最終の出力部に詰まりが生じてデータが停滞する場合であることに着目し、本発明ではデータの停滞を検出する手段がデータの停滞を検出した場合には各ステージのデータラッチのフィードバック側のトランスファゲートゲートのゲート電極の充放電を許可し、データの停滞が検出されていない場合は各ステージのデータラッチのフィードバック側のトランスファゲートゲートのゲート電極の充放電を禁止して常時オフ状態とする構成を採っている。

(作用)

本発明のデータ転送装置及びパイプライン処理装置では、データ転送路上でデータの停滞が生じていない場合には各段のデータラッチのフィードバック側のトランスファゲートのゲート電極の充放電を禁止するので、消費電力が削減され、これ

に伴って発熱量も減少する。

(発明の実施例)

以下、本発明をその実施例を示す図面に基づいて詳述する。

第1図は本発明に係るデータ転送装置の概略の一構成例を示すブロック図である。

図中、860はデータ転送路であり、スタティック型並列データラッチ861~864を直列接続して構成されている。

851~854はデータ転送制御回路であり、スタティック型並列データラッチ861~864のフィードバック側のトランスファゲートのゲート電極への入力信号PB2のレベルを"0"に固定するための制御入力端子を有している。

870はデータ停滞検出回路であり、データ転送路860の最終段のデータ転送制御回路854から出力されるSend信号(データ転送要求信号)S5を信号CLとして入力し、これが"1"を所定時間継続した場合にその出力信号STOPを"1"から"0"に転じさせる。

第2図は上述のデータ転送装置の2ステージ分の論理回路構成を示す回路図である。なお、この第2図においては、40ビット幅の並列データラッチの開閉(トランスペアレント/ラッチの切換え)を制御する信号PA1(PA2)及びPB1(PB2)を発生するための回路201,202,203(211,212,213)及び204,205,206(214,215,216)が付加されている以外は従来例を示す第10図の回路図と同様の構成である。

このような構成の本発明のデータ転送装置は、ハンドシェイク転送の制御は従来装置と全く同様であるので詳細な動作説明は省略する。

本発明のデータ転送装置のデータ転送の制御が従来装置と異なる点は、2入力NORゲート204(214)への入力信号STOPが"1"である場合、即ち転送中の並列データの停滞が検出されない場合には信号PB1(PB2)は常に"0"に維持され、NチャネルMOSトランジスタであるトランスファゲート115(125)のゲート電極の充放電は行われない点である。

一方、2入力NORゲート204(214)への入力信号STOPが"0"である場合、即ち転送中の並列データ

の停滞が検出された場合には、R-Sフリップフロップ133(143)のQ出力の反転信号がNチャネルMOSトランジスタであるトランスファゲート115(125)のゲート電極に与えられる。

いま仮に、あるステージでデータが停滞した場合、R-Sフリップフロップ133(143)のQ出力の反転信号は"0"になるので、トランジスタ115(125)のゲート電極には信号"1"が与えられる。これにより、データラッチ回路11(12)のフィードバック側のNチャネルMOSトランジスタであるトランスファゲート115(125)がオンし、入力側のNチャネルMOSトランジスタであるトランスファゲート114(124)はオフ状態になり、予め入力されていたデータのレベルは並列データラッチ回路によってスタティックに保持される。

次に、データ停滞検出部の構成及び動作について説明する。

第3図はデータ停滞検出回路870の一構成例を示す回路図である。

このデータ停滞検出回路870は、電源電位と検

地電位間に直列接続された抵抗(R_x) 394及びキャパシタ(C_x) 395と、抵抗394とキャパシタ395との間のノードMと接地電位間に介装されインバータバッファ392を介してゲートに信号CLが入力されるnチャネルトランジスタ393と、ノードMの電位が入力され信号 \overline{STOP} として出力するインバータバッファ391等にて構成されている。

本発明装置においては、データは隣接段同士のハンドシェイクによってデータ転送が制御されるので、次ステージに空きがある、即ち先行するデータによって占有されていない限りデータは順次転送される。逆に、データが停滯する場合は必ず最終段が詰まった状態になる。従って、最終ステージのデータ転送制御回路854のSend信号であるデータ停滯検出回路870への入力信号CLは"1"を維持する。

データが順調に転送されている場合には、第11図に示すタイミングチャート中のSend信号S2同様に信号CLも"1"と"0"を反復する。

従って、第3図に示すデータ停滯検出回路870

の回路図において、nチャネルトランジスタ393のチャネル幅が充分大きく、且つ抵抗 R_x 394及びキャパシタ C_x 395により構成されるRC回路の時定数が充分大きければ、信号CLの"0"区間ではノードMの電位は急速に降下して0Vになるが、信号CLの"1"区間では時定数が大きいので、相当時間経過した後もノードMの電位はインバータ391の入力閾値電位までは上昇しない。このため、データ停滯検出回路870の出力信号 \overline{STOP} は常に"1"に維持される。

一方、データが停滯して信号CLの"1"区間が相当時間継続した場合には、nチャネルトランジスタ393がオフ状態になるので、ノードMの電位が徐々に上昇し、遂にはインバータ391の入力閾値電位を超えるため、データ停滯検出回路870の出力信号 \overline{STOP} は"0"に転じ、データ停滯が継続する限りは"0"に維持される。

なお上記実施例では、データ停滯検出回路870をRC回路にて構成してあるが、「ハンドシェイクデータ転送制御回路のSend信号はデータが停滯し

ている場合には"1"を維持する」という特徴を利用すれば、データ停滯検出回路870はたとえば第4図に示す如き構成を採ることも可能である。

即ち、各データ転送制御回路851~854のSend信号の論理積信号を論理積回路871により得て信号 \overline{STOP} を生成することも可能である。

またスタティック型データラッチ回路としては、第5図及び第6図に示す如き構成を採ることも可能である。即ち、第5図に示した構成は CARVER HEAD, LYNN CONWAY 著 "INTRODUCTION TO VLSI SYSTEM" の第71頁のFig.3.10として公知であり、また第6図の構成は特開昭50-34434号に開示されている。

更に、データ停滯検出回路870の出力信号 \overline{STOP} の電位レベルの安定化を図るために、第7図に示す如く、インバータ391の出力側に、NANDゲート397、398及びインバータ396等にて構成されるR-Sフリップフロップを付加する構成も可能である。なおこの場合、R-Sフリップフロップの出力を反転して負論理とするためのインバータ399が出

力側に必要になる。

ところで、以上の説明はデータ転送装置に関してであるが、第8図に示す如く、第1図中のスタティック型並列データラッチ861~864相互間にそれぞれ組合わせ論理回路831,832,834を介在させることにより、本発明のデータ転送装置を使用したパイプライン処理を構成可能であることは言うまでもない。

(発明の効果)

以上に詳述した如く本発明のデータ転送装置及びパイプライン処理装置では、データ転送上でデータが停滯せずに順調に転送されている場合には、各スタティック型データラッチ回路のフィードバック側のトランスファゲートをノンアクティブ状態に固定してダイナミック型データラッチ回路として動作させ得るので、消費電流が大幅に削減され、またこれに伴って発熱量も低下し、更にこのような本発明の効果は、転送されるべきデータのデータ幅が大であればある程より発揮される。

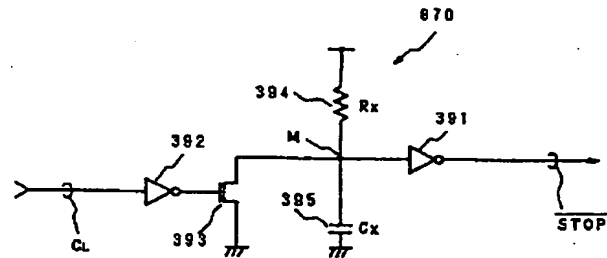
4. 図面の簡単な説明

第1図は本発明のデータ転送装置の概略構成を示すブロック図、第2図はその具体的論理回路構成を示す回路図、第3図はデータ停滞検出回路の構成を示す論理回路図、第4図はデータ停滞検出回路の他の構成例を示す回路図、第5図及び第6図はスタティック型データラッチ回路の1ビット分の論理回路構成の他の構成例を示す回路図、第7図はデータ停滞検出回路の出力信号の安定化を図った構成例を示す回路図、第8図は本発明のパイプライン処理装置の概略構成を示すブロック図、第9図は従来のパイプライン処理装置の概略構成を示すブロック図、第10図はその具体的論理回路構成を示す回路図、第11図その動作状態を示すタイミングチャートである。

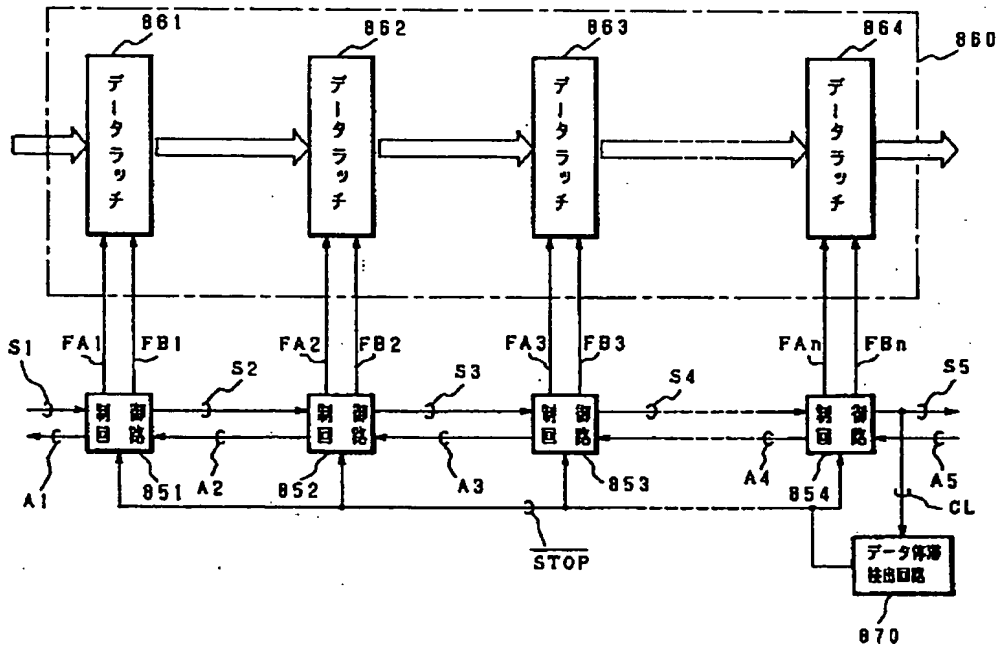
831,832,834…組合せ論理回路 851,852,
853,854 …データ転送制御回路 861,862,863,
864 …スタティック型並列データラッチ 870
…データ停滞検出回路

なお、各図中同一符号は同一又は相当部分を示す。

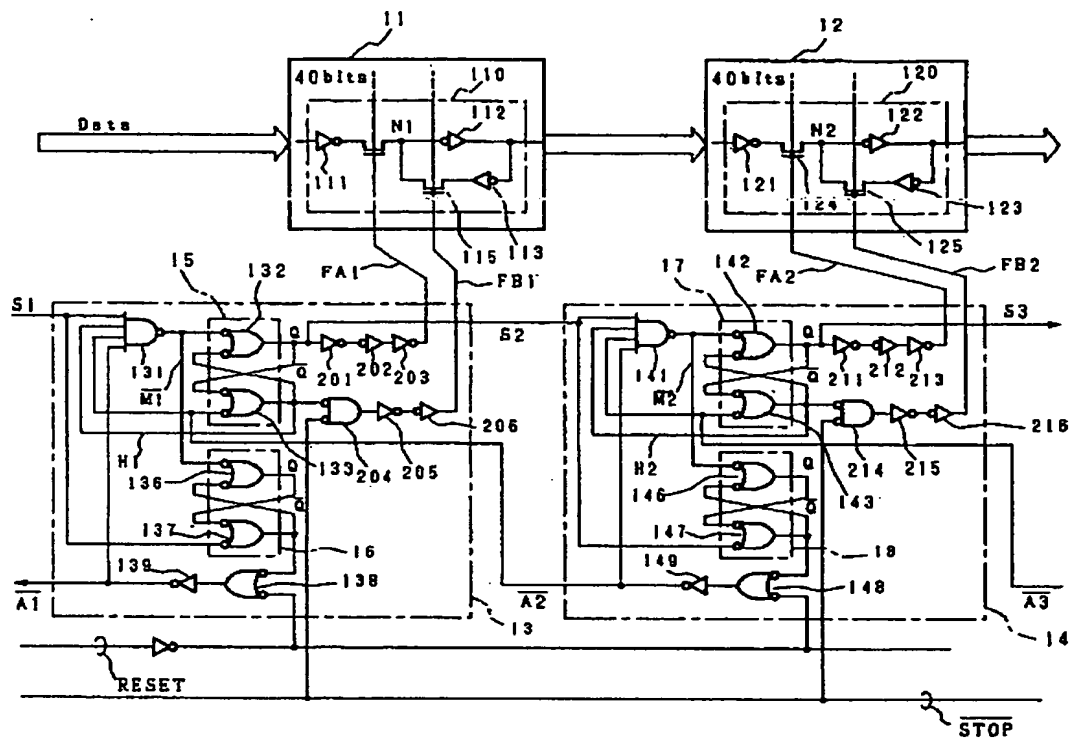
代理人 大岩 増 雄



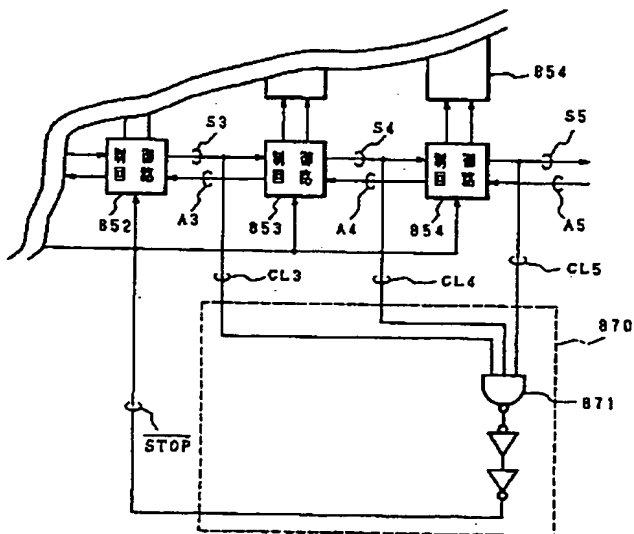
第 3 図



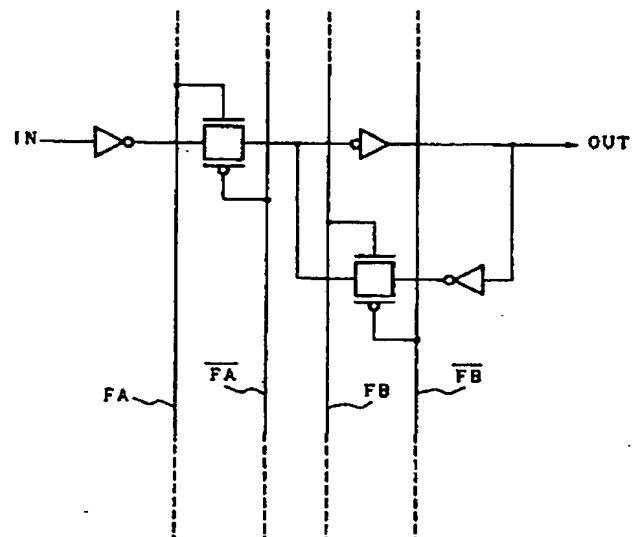
第 1 図



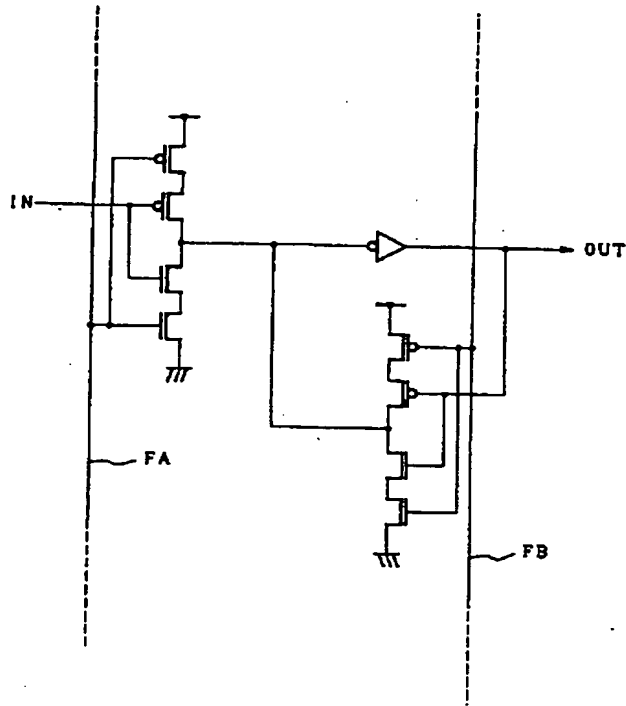
第 2 図



第 4 図



第 5 図



第 6 図

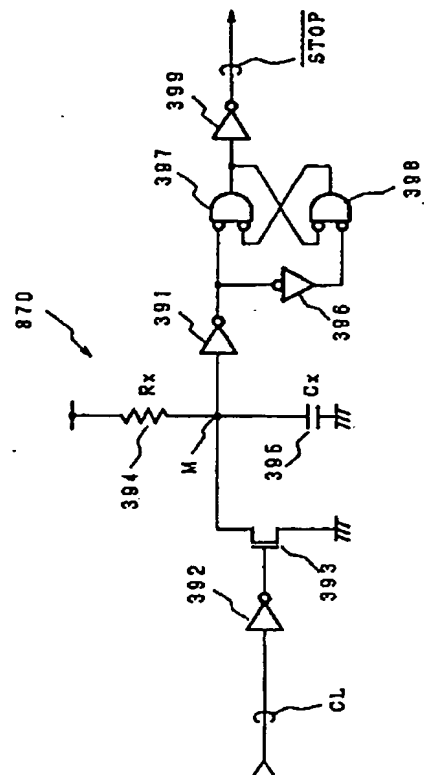
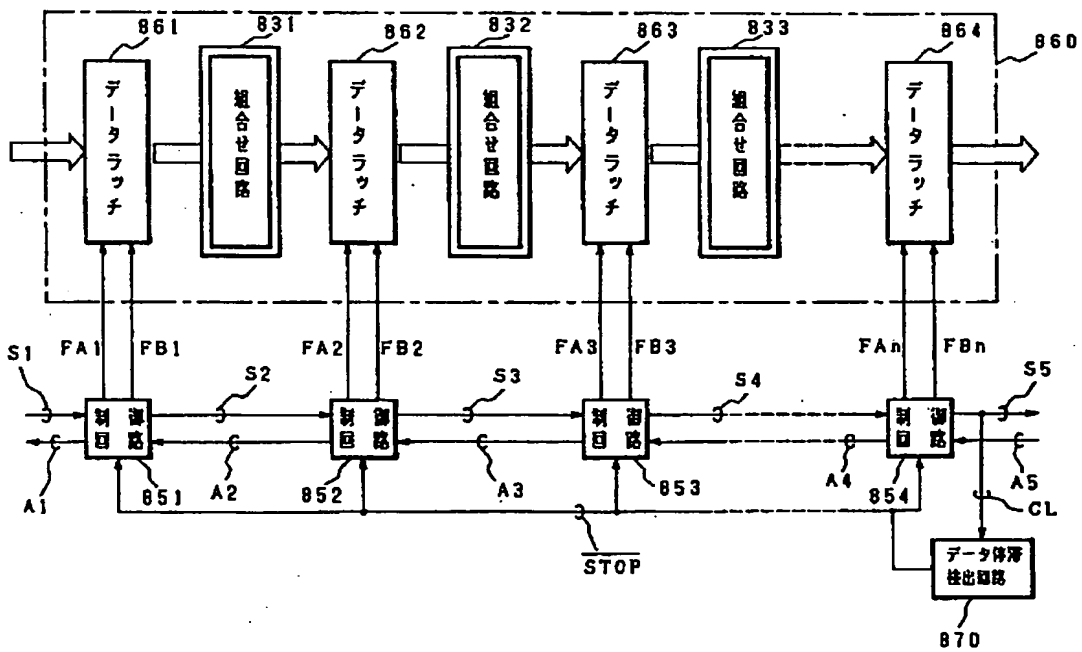
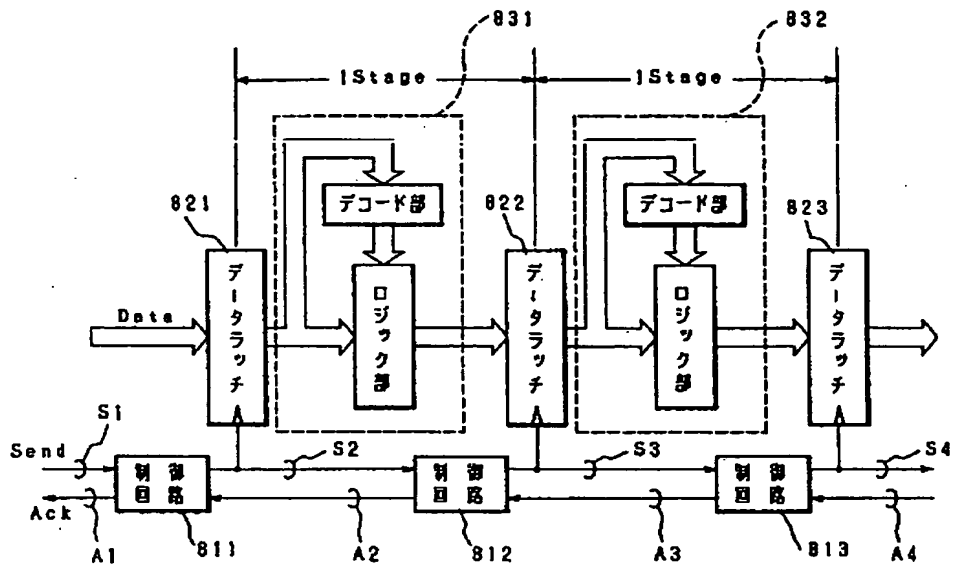


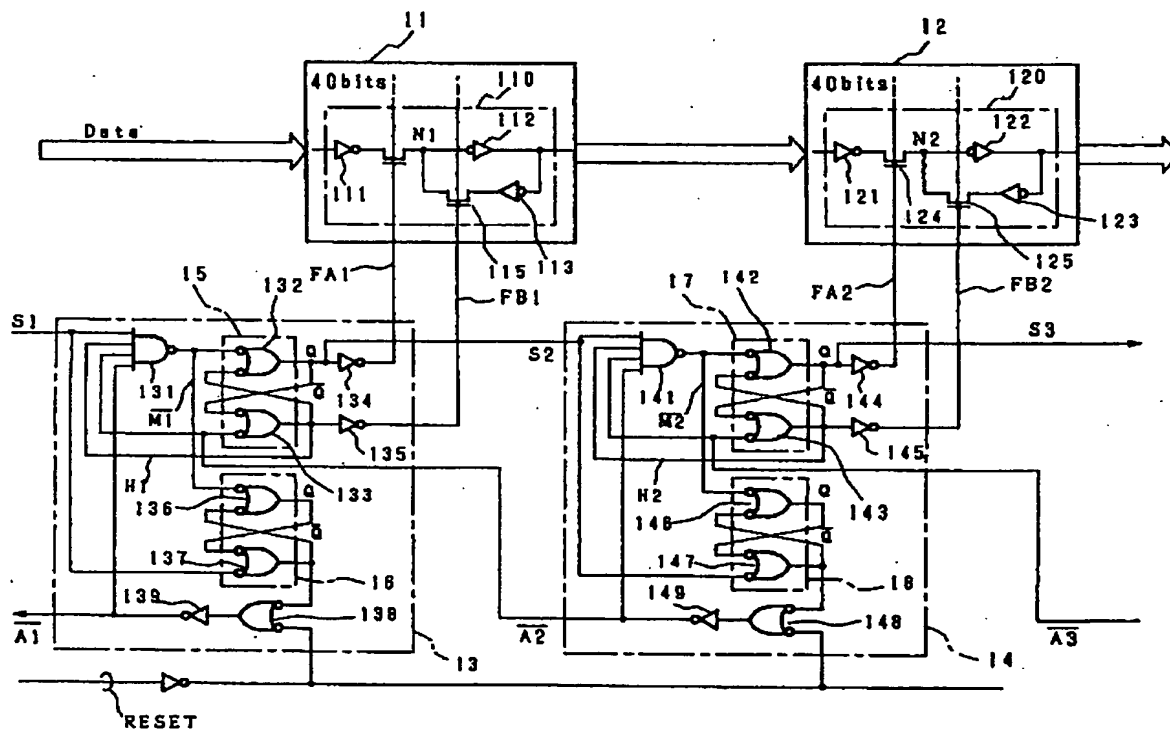
図 7
機



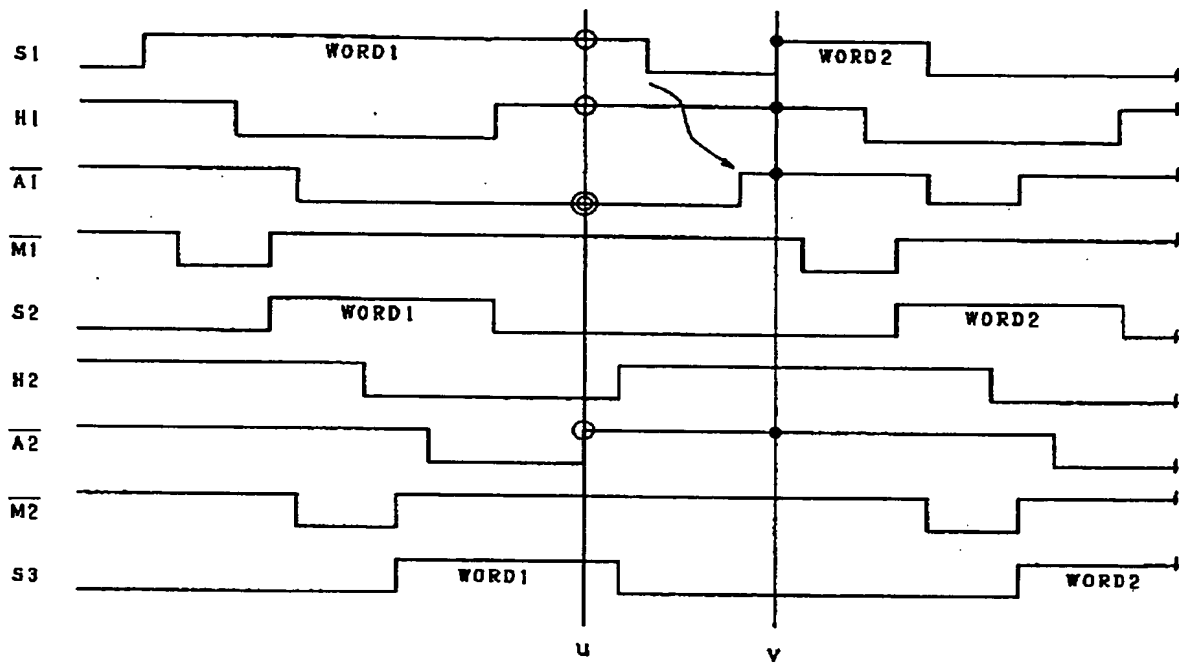
第 8 図



第 9 図



第 10 図



第 11 図

第1頁の続き

⑦発明者	浅井	文康	兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑧発明者	山崎	哲男	兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社応用機器研究所内
⑨発明者	嶋	憲司	兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社応用機器研究所内

手続補正書(自発)

昭和 63 年 12 月 13 日



特許庁長官殿

1. 事件の表示 特願昭63-182107号

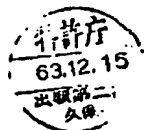
2. 発明の名称

データ転送装置及びそれを使用した
パイプライン処理装置

3. 補正をする者

事件との関係 特許出願人
住所 東京都千代田区丸の内二丁目2番3号
名称 (601) 三菱電機株式会社
代表者 志岐守哉

4. 代理人

住所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏名 (7375) 弁理士 大岩増雄
(連絡先03(213)3421特許部)方式
審査

5. 補正の対象

明細書の「特許請求の範囲」及び「発明の
詳細な説明」の欄、並びに図面

6. 補正の内容

6-1 明細書の「特許請求の範囲」の欄

別紙の通り。

6-2 明細書の「発明の詳細な説明」の欄

(1) 明細書の第12頁14行目に「A2」とあるのを、
「B2」と訂正する。(2) 明細書の第12頁18行目に「A1」とあるのを、
「B1」と訂正する。(3) 明細書の第21頁16行目に「XANDゲート」と
あるのを、「NORゲート」と訂正する。

6-3 図面

第2図及び第10図を別紙の通り訂正する。

7. 添付書類の目録

(1) 補正後の特許請求の範囲の全文を記載した書
面 1通

(2) 訂正図面 1通

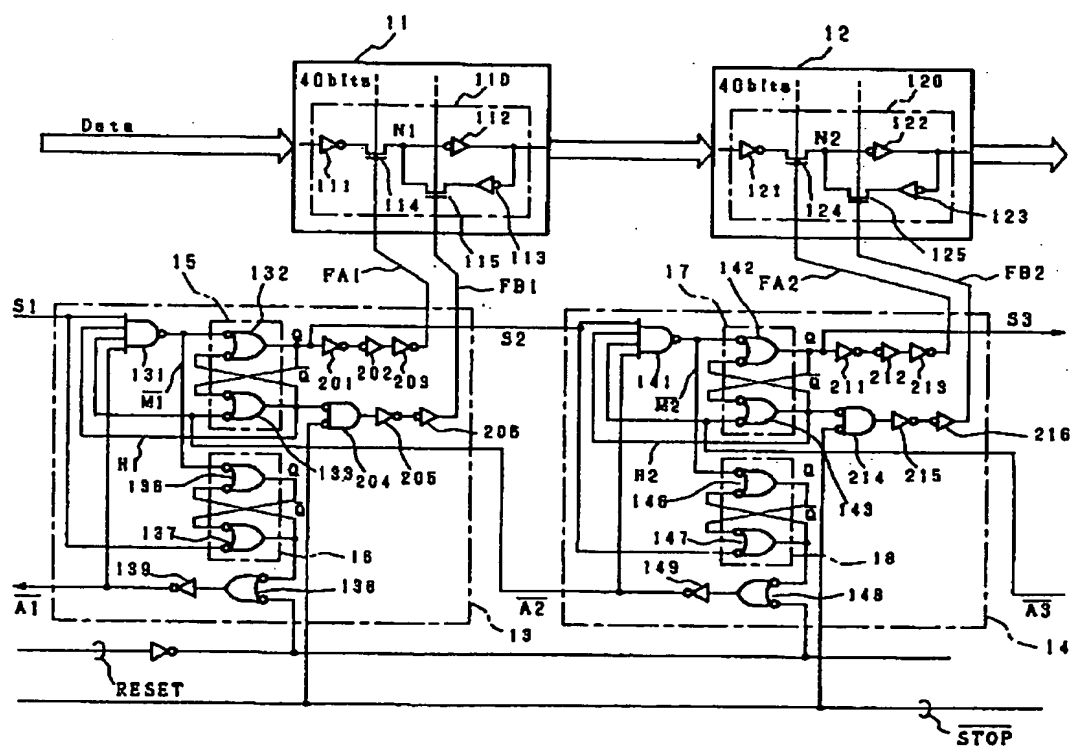
補正後の特許請求の範囲の全文を記載した書面

2. 特許請求の範囲

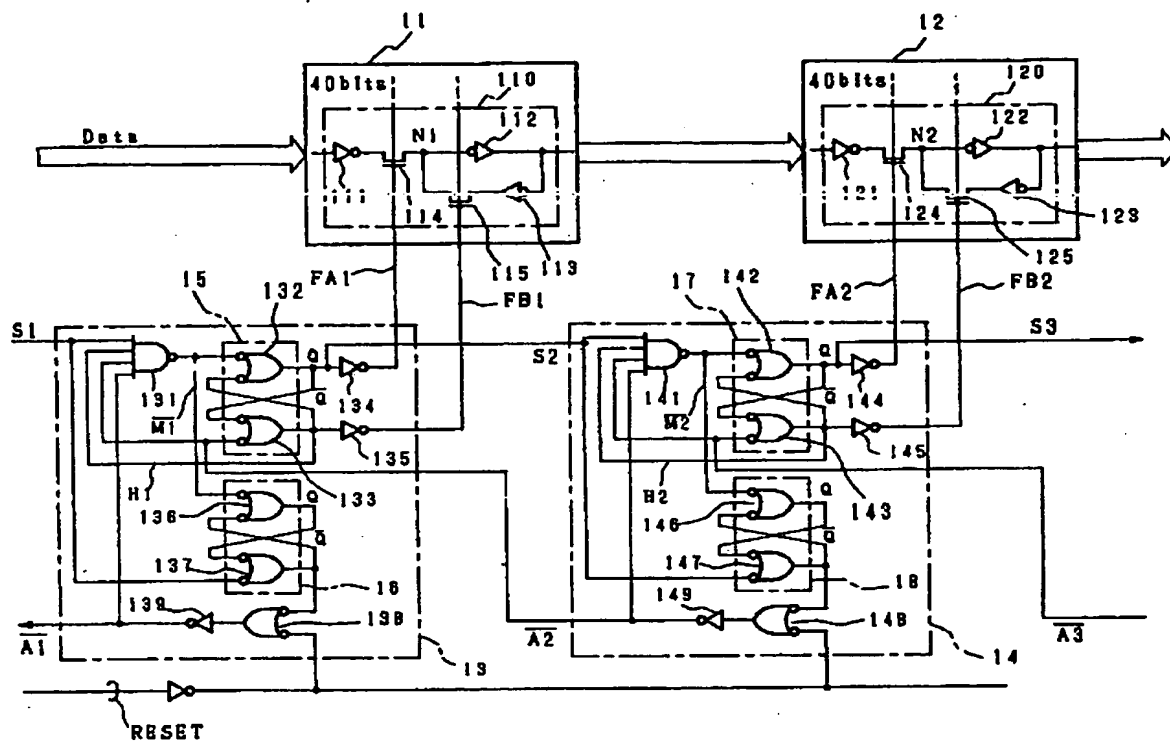
(1) 各段を構成するスタティック型並列データ
ラッチ回路を複数縦列接続してなるデータ転
送路と、前記データ転送路の各段に対応して設けら
れ、データの転送方向に沿う次段に有意なデ
ータが存在しない場合にはデータを連続的に
転送し、次段に有意なデータが先行して存在
する場合にはデータの転送を禁止すべくデー
タラッチ信号を制御するデータ転送制御信号
を出力するデータ転送制御回路と、前記データ転送制御信号の状態に基づいて、
データの停滯を検出するデータ停滯検出回路
とを備え、前記データ転送制御回路は、前記データ停
滯検出回路がデータの停滯を検出している場
合は前記ラッチ回路に対してスタティックな
データラッチの制御を行い、前記データ停滯
検出回路がデータの停滯を検出していない場合は前記ラッチ回路に対するスタティックな
データラッチの制御を行わないようになって
あることを特徴とするデータ転送装置。(2) 各段を構成するスタティック型並列データ
ラッチ回路を複数縦列接続してなるデータ転
送路と、前記データラッチ回路それぞれの間に配さ
れ、データ転送方向に沿う前段のデータラッ
チ回路から入力されたデータに対して所定の
処理を施した後にデータ転送方向に沿う次段
のデータラッチ回路へ出力する論理回路と、前記データ転送路の各段に対応して設けら
れ、データの転送方向に沿う次段に有意なデ
ータが存在しない場合にはデータを連続的に
転送し、次段に有意なデータが先行して存在
する場合にはデータの転送を禁止すべくデー
タラッチ信号を制御するデータ転送制御信号
を出力するデータ転送制御回路と、前記データ転送制御信号の状態に基づいて、
データの停滯を検出するデータ停滯検出回路

とを憶え、

前記データ転送制御回路は、前記データ停
滞検出回路がデータの停滞を検出している場
合は前記ラッチ回路に対してスタティックな
データラッチの制御を行い、前記データ停滞
検出回路がデータの停滞を検出していない場
合は前記ラッチ回路に対するスタティックな
データラッチの制御を行わないようにして
あることを特徴とするパイプライン処理装置。



第 2 区



第 10 図